

03257855 A



(19)

(11) Publication number: 0

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 02055364

(51) Int'l. Cl.: H01L 27/04

(22) Application date: 07.03.90

(30) Priority:

(43) Date of application 18.11.91
publication:(84) Designated contracting
states:

(71) Applicant: MATSUSHITA ELECT

(72) Inventor: HIRONAKA KATSUMI

(74) Representative:

(54) SEMICONDUCTOR
DEVICE

(57) Abstract:

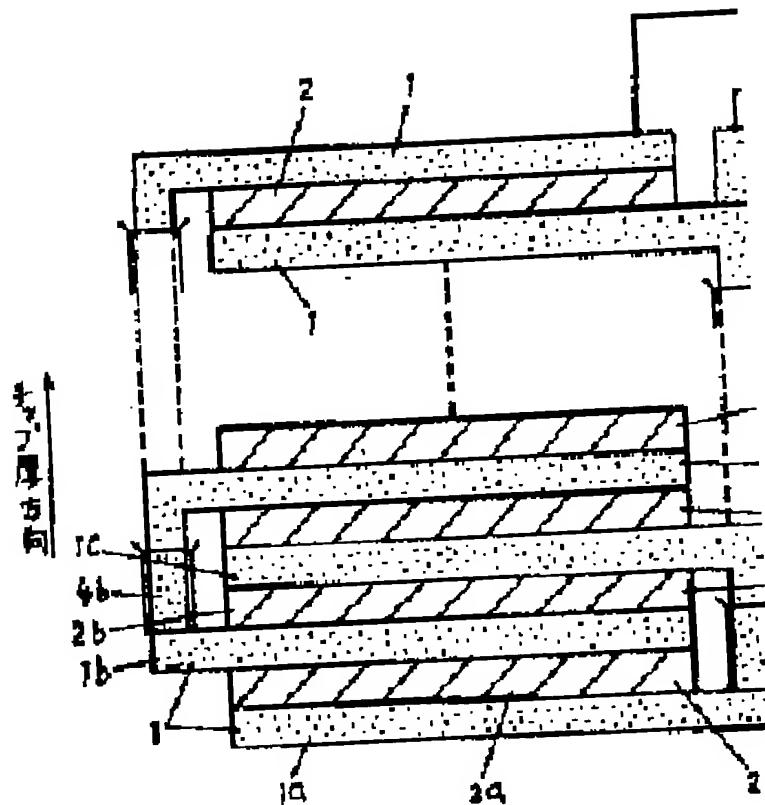
PURPOSE: To realized high capacity in a small area by taking the structure where the capacities are piled up on the Z-axis.

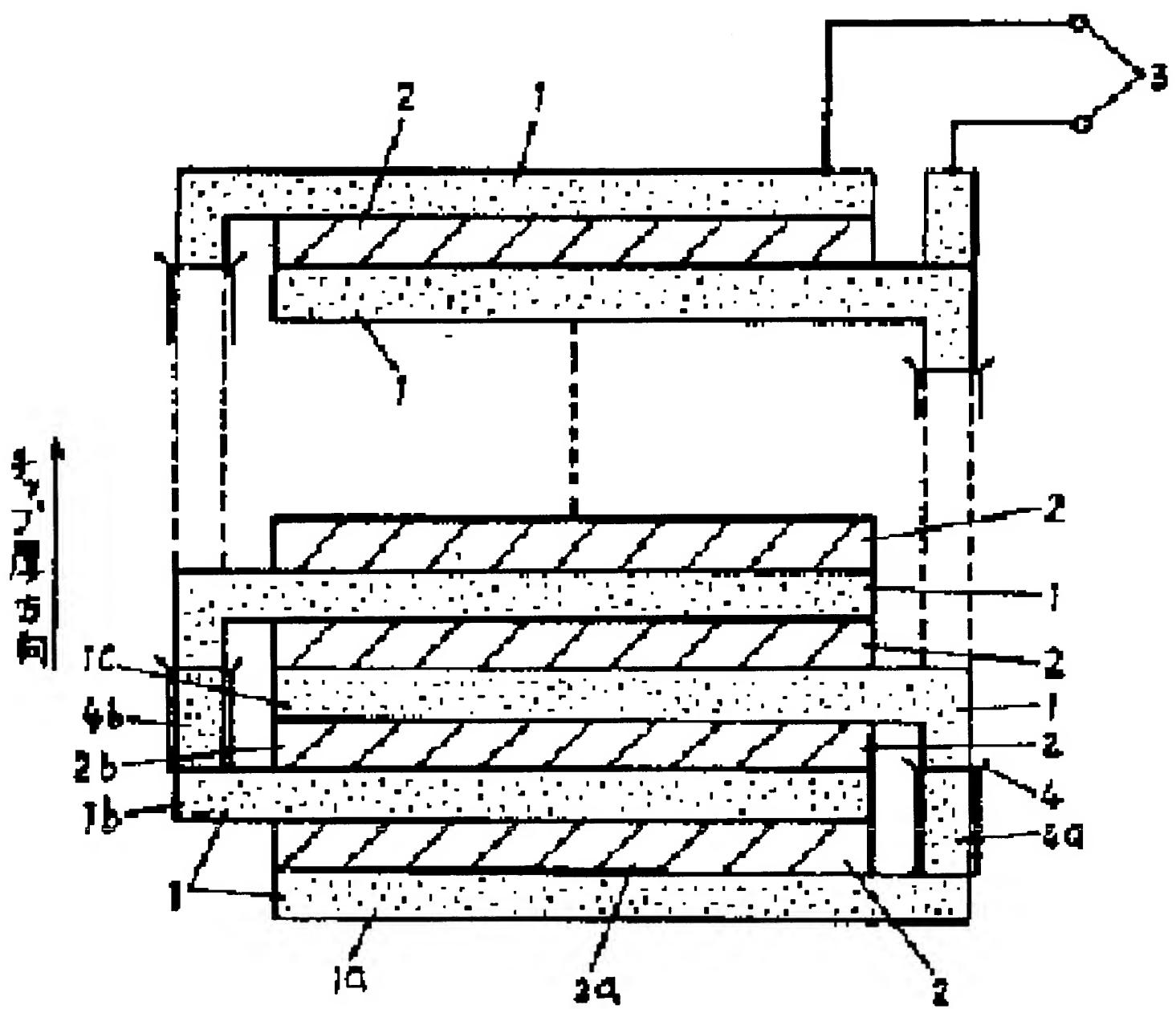
CONSTITUTION: An insulating film 2a is laid on a first conductor 1a, a second conductor 1b is piled up, besides a through hole 4a is opened in order to get the continuity to the first conductor, and thereon the second conductor 1b is provided. The insulating film 2b is laid also on the second conductor 1b, and in addition to piling up of a third conductor 1c, a through hole 4b is opened in order to get the continuity to the second conductor 1b getting the continuity to the first conductor 1a whereon also the third conductor 1c is laid. By repeating this (n) times, the capacities are in parallel connected and the sum thereof forms a capacity value.

9/2/2003

03257855 A

COPYRIGHT: (C)1991,JPO&Japio





⑫ 公開特許公報 (A) 平3-257855

⑬ Int. Cl. 5
H 01 L 27/04識別記号 C
府内整理番号 7514-5F

⑭ 公開 平成3年(1991)11月18日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-55364

⑰ 出 願 平2(1990)3月7日

⑱ 発明者 弘中 克巳 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑲ 出願人 松下電子工業株式会社 大阪府門真市大字門真1006番地
 ⑳ 代理人 弁理士 栗野 重孝 外1名

明細書

1、発明の名称

半導体装置

2、特許請求の範囲

半導体基板上のZ軸方向に導体と絶縁物による多層構造の薄膜容量を備え、かつ各容量間は並列に接続されてなることを特徴とする半導体装置。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体装置における容量形成構造に関するものである。

従来の技術

近年、高密度高集積化の進む半導体装置において、フィルター及びその他のディスクリート部品の内蔵に伴なう容量形成の際の占有面積、精度等が重要視されている。

以下、図面を参照しながら、従来の容量形成について説明する。

第3図は従来のMOS型容量を形成するもので、金属11と拡散層12の間に酸化膜13をはさん

だ構造になっている。

第4図は従来のJUNCTION型容量を形成するものでダイオードに逆バイアスをかけることによってできる空乏層14を利用した構造になっている。

第5図は上記第3図、第4図の等価回路を示したものである。

以上のような構造をもつ容量は、材料の誘電率、中間層の厚み、有効面積等のパラメータにより容量値を決定しているが、材料の誘電率、中間層の厚みを調整しても限界があり、大変困難であるといってよい。そのため、大容量を得るために並列接続を施さなければならないが占有面積が大きくなるという欠点を有していた。

発明が解決しようとする課題

本発明は上記欠点の面積に関する問題を解消し、小面積高容量を実現する構造の容量を提供するものである。

課題を解決するための手段

この目的を達成するために本発明の容量構造は

Z 軸方向に容量を重ねていき、接続を並列にとることで小面積高容量を達成することが可能となる。

作用

この構成により、容量構造が半導体基板の垂直方向に多層に形成できる。

実施例

以下本発明の一実施例について図面を参照しながら説明する。

第1図は本発明の実施例におけるMOS型容量を用いた並列接続の容量構造である。第1図において1は導体(配線あるいは拡散層)、2は絶縁膜、3は端子4はスルーホールである。以上のように構成された容量について以下その構造を説明する。まず、第1の導体1aの上に絶縁膜2aをひき、第2の導体1bを重ねる他に第1の導体と導通をとるためにスルーホール4aを開け、そこにも第2の導体1bを施す。第2の導体1bの上にも絶縁膜2bをひき、第3の導体1cを重ねる他に第1の導体1aを導通をとった第2の導体1bと導通をとるためにスルーホール4bを開け、そ

こにも第3の導体1cを施す。これをn回繰り返すことにより、容量は並列に接続されていき、容量値はそれらの和となる。

第2図は第1図の容量構造の等価回路を示し、端子3間に並列に容量が形成されている。

なお、上記説明のMOS型容量はJUNCTION型他容量構成をするものであればよく、並列に限らず面積を小さくするために上下の導通をとらず同じZ軸上に数種の容量を設けることができるということは言うまでもない。

発明の効果

以上のように本発明はZ軸上に容量を重ねる構造をとることによって、小面積高容量を実現することができ、その実用的效果は大なものがある。

4. 図面の簡単な説明

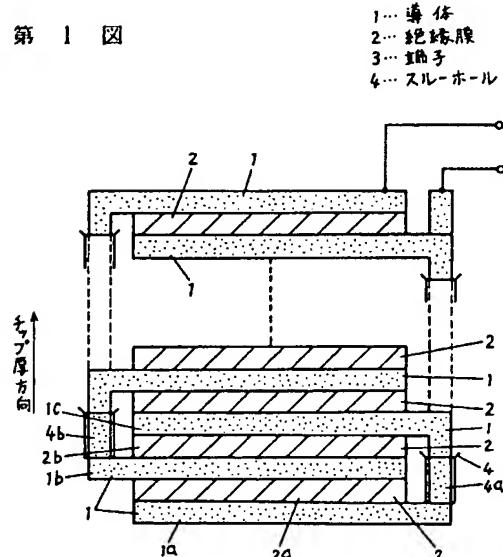
第1図は本発明の一実施例におけるMOS型容量を用いた多層構造図、第2図は第1図の等価回路図、第3図は従来のMOS型容量を示す断面図、第4図は従来のJUNCTION容量を示す断面図、第5図は第3図、第4図の等価回路図で

ある。

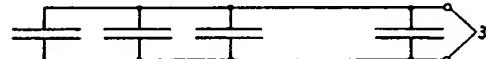
1…導体、2…絶縁膜、3…端子、4…スルーホール。

代理人の氏名 井理士 栗野重孝 ほか1名

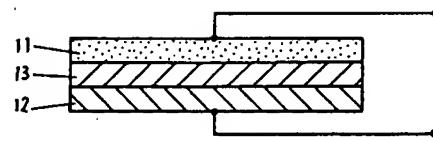
第1図



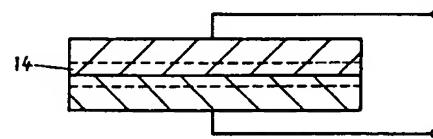
第2図



第 3 図



第 4 図



第 5 図

